

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-214651

(43) 公開日 平成11年(1999) 8月6日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 2 5 A

21/8242

21/302

J

21/3065

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21) 出願番号 特願平10-11293

(22) 出願日 平成10年(1998) 1月23日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 森門 六月生

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 松山 日出人

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72) 発明者 大岩 徳久

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 弁理士 外川 英明

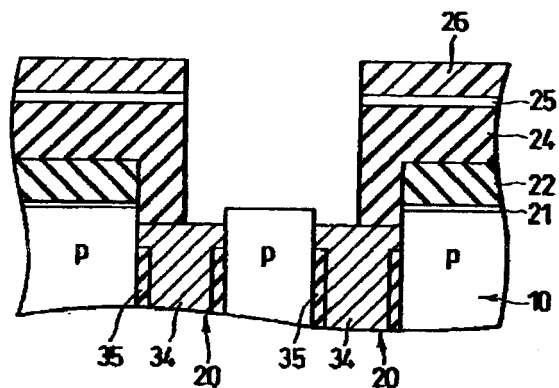
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 薄膜フォトリソストによりリソグラフィのマージン拡大を図ると共に、ハードマスクを用いて基板加工を行うことにより、微細加工を可能とした半導体装置の製造方法を提供する。

【解決手段】 基板10に、窒化膜22と酸化膜の積層膜マスクを用いてキャパシタ用溝を形成する。酸化膜を除去した後、窒化膜22による段差が残る状態でキャパシタ用溝内にキャパシタ絶縁膜を介してキャパシタノード34を埋め込む。次に基板に酸化膜24を表面が平坦になるように形成し、この上にフォトリソスト26を均一厚みをもって塗布し露光してレジストパターンを形成する。CF系ガスとArガスを含むエッチングガスを用いたRIEにより酸化膜24及びその下の窒化膜22を連続的にエッチングしてハードマスクを形成し、これを用いて基板10をエッチングして素子分離用溝27を形成する。



【特許請求の範囲】

【請求項1】 半導体基板にシリコン窒化膜と第1のシリコン酸化膜の積層膜からなる第1のハードマスクをパターン形成する工程と、

前記第1のハードマスクを用いて前記半導体基板をエッチングして溝を形成する工程と、

前記第1のハードマスクのうち第1のシリコン酸化膜を除去した後、前記シリコン窒化膜による段差が残る状態で前記溝内に所定材料膜を埋め込む工程と、

前記半導体基板に第2のシリコン酸化膜を表面が平坦になるように形成する工程と、

前記第2のシリコン酸化膜上にフォトレジストを均一厚みをもって塗布しこれを露光してフォトレジストパターンを形成する工程と、

前記フォトレジストパターンを用い、少なくともCF系ガスとArガスを含むエッチングガスを用いた異方性ドライエッチングにより前記第2のシリコン酸化膜及びその下のシリコン窒化膜を連続的にエッチングして第2のハードマスクをパターン形成する工程と、

前記第2のハードマスクを用いて前記半導体基板を加工処理する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板にシリコン窒化膜と第1のシリコン酸化膜の積層膜からなる第1のハードマスクをパターン形成する工程と、

前記第1のハードマスクを用いて前記半導体基板をエッチングしてキャパシタ用溝を形成する工程と、

前記第1のハードマスクのうち第1のシリコン酸化膜を除去した後、前記シリコン窒化膜による段差が残る状態で前記キャパシタ用溝内にキャパシタ絶縁膜を介してキャパシタノードとなる導電材料を埋め込んでDRAMセルのトレンチキャパシタを形成する工程と、

前記半導体基板に第2のシリコン酸化膜を表面が平坦になるように形成する工程と、

前記第2のシリコン酸化膜上にフォトレジストを均一厚みをもって塗布しこれを露光してフォトレジストパターンを形成する工程と、

前記フォトレジストパターンを用い、少なくともCF系ガスとArガスを含むエッチングガスを用いた異方性ドライエッチングにより前記第2のシリコン酸化膜及びその下のシリコン窒化膜を連続的にエッチングして第2のハードマスクをパターン形成する工程と、

前記第2のハードマスクを用いて前記半導体基板をエッチングして素子分離用溝を形成する工程と、

前記素子分離用溝に素子分離用絶縁膜を埋め込み形成する工程と、

前記第2のハードマスクを除去して露出した前記半導体基板の素子形成領域にDRAMセルのMOSTランジスタを形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記第2のシリコン酸化膜は、有機オキシシランを原料とする減圧CVD法によるシリコン酸化膜、減圧CVD法によるボロンドープのシリコン酸化膜の少なくとも一方であり、

前記エッチングガスは、 CHF_3 、 CF_4 及びArガスを含む混合ガスであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、トレンチキャパシタ構造のDRAM等の製造に適用して有用な半導体装置の製造方法に関する。

【0002】

【従来の技術】1トランジスタ/1キャパシタのメモリセルを有し、トレンチキャパシタ構造を有するDRAMの製造工程として、従来次のようなものが知られている。まず、シリコン基板にシリコン窒化膜(SiN膜)とシリコン酸化膜(SiO_2 膜)の積層膜によるハードマスクをパターン形成し、このハードマスクを用いて基板をエッチングして、後に形成される島状の素子形成領域の端部に位置するようにキャパシタ用溝を加工する。この溝には、側壁にキャパシタ絶縁膜を形成した後キャパシタノードとなるポリシリコン等を埋め込む。

【0003】図14は、この様にしてシリコン基板101にキャパシタ用溝103が形成され、この溝103にポリシリコン104が埋め込まれた状態を示している。溝上部には、分離用のシリコン酸化膜105が形成され、このシリコン酸化膜105より下部の図では省略されている部分にキャパシタ絶縁膜が形成されている。ハードマスクとして用いられたシリコン窒化膜/シリコン酸化膜の積層膜のうち、シリコン酸化膜は除去されて、シリコン窒化膜102のみ残されている。

【0004】この後、シリコン窒化膜102を残したまま、素子分離工程のために、図15に示すように、反射防止膜106を介してフォトレジスト107を塗布する。そしてこのフォトレジスト107を露光し、島状の素子形成領域を覆うようにレジストパターンを形成して、図16に示すように、素子分離領域のシリコン窒化膜102及びシリコン基板101をエッチングして、素子分離用溝108を加工する。

【0005】この後、形成された素子分離用溝108には素子分離用絶縁膜を埋め込み形成する。このようにして、互いに分離された各素子形成領域に、MOSTランジスタを形成する。MOSTランジスタのゲート電極は、複数の素子形成領域にまたがって連続的に配設されて、これがワード線となる。その後、層間絶縁膜を堆積し、コンタクト孔開けを行って、ビット線を配設する。

【0006】

【発明が解決しようとする課題】上述した従来のトレンチキャパシタ構造のDRAM製造工程において、サブミ

クローン・ルール或いはサブクォーターミクロン・ルールで微細加工を行う場合には、リソグラフィ技術のマージンを大きいものとするために、 $0.6\mu\text{m}$ 程度の薄膜フォトレジストを用いることが必要になる。一般にNAの大きい紫外線露光装置を用いて高解像度を得ようとする、焦点深度が小さくなるという関係があるため、 $0.8\mu\text{m}$ 以上といった厚いフォトレジストでは微細レジストパターンを十分な解像度でパターンニングすることが難しいからである。

【0007】しかし、トレンチキャパシタ形成後の基板表面には、図14に示すようにシリコン窒化膜102による段差があるため、この後のレジスト塗布工程で平坦に塗布したフォトレジスト107の厚みは、シリコン窒化膜102上で $0.6\mu\text{m}$ としても、段差部分ではより厚いものとなる。例えば、シリコン窒化膜102を $0.15\mu\text{m}$ 厚とし、溝103に埋め込んだポリシリコン104の面位置が基板面から $0.05\mu\text{m}$ 低いものとする、と、段差部分でフォトレジスト107は $0.8\mu\text{m}$ の厚みとなる。リソグラフィのマージンは、フォトレジストの厚みで律速されるため、薄膜フォトレジストを用いた際にはマージンの拡大がないことになる。

【0008】また、フォトレジスト107を $0.6\mu\text{m}$ 程度の薄いものとする、と、図16に示す次の基板エッチング工程にドライエッチングを用いたときに、フォトレジスト107とシリコン基板101或いはシリコン窒化膜102との間で大きな選択比をとることができないから、所望の素子分離加工ができない、といった事態が生じる。

【0009】この発明は、上記事情を考慮してなされたもので、段差がある基板上でのリソグラフィを平坦面で行うようにしてマージン拡大を図るとともに、薄膜フォトレジストを用いたシリコン酸化膜/シリコン窒化膜の積層膜エッチングを所定のガス条件のドライエッチングで行うことにより、微細加工を可能とした半導体装置の製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】この発明に係る半導体装置の製造方法は、半導体基板にシリコン窒化膜と第1のシリコン酸化膜の積層膜からなる第1のハードマスクをパターン形成する工程と、前記第1のハードマスクを用いて前記半導体基板をエッチングして溝を形成する工程と、前記第1のハードマスクのうち第1のシリコン酸化膜を除去した後、前記シリコン窒化膜による段差が残る状態で前記溝内に所定材料膜を埋め込む工程と、前記半導体基板に第2のシリコン酸化膜を表面が平坦になるように形成する工程と、前記第2のシリコン酸化膜上にフォトレジストを均一厚みをもって塗布しこれを露光してフォトレジストパターンを形成する工程と、前記フォトレジストパターンを用い、少なくともCF系ガスとArガスを含むエッチングガスを用いた異方性ドライエッチ

ングにより前記第2のシリコン酸化膜及びその下のシリコン窒化膜を連続的にエッチングして第2のハードマスクをパターン形成する工程と、前記第2のハードマスクを用いて前記半導体基板を加工処理する工程と、を有することを特徴とする。

【0011】この発明に係る半導体装置の製造方法はまた、半導体基板にシリコン窒化膜と第1のシリコン酸化膜の積層膜からなる第1のハードマスクをパターン形成する工程と、前記第1のハードマスクを用いて前記半導体基板をエッチングしてキャパシタ用溝を形成する工程と、前記第1のハードマスクのうち第1のシリコン酸化膜を除去した後、前記シリコン窒化膜による段差が残る状態で前記キャパシタ用溝内にキャパシタ絶縁膜を介してキャパシタノードとなる導電材料を埋め込んでDRAMセルのトレンチキャパシタを形成する工程と、前記半導体基板に第2のシリコン酸化膜を表面が平坦になるように形成する工程と、前記第2のシリコン酸化膜上にフォトレジストを均一厚みをもって塗布しこれを露光してフォトレジストパターンを形成する工程と、前記フォトレジストパターンを用い、少なくともCF系ガスとArガスを含むエッチングガスを用いた異方性ドライエッチングにより前記第2のシリコン酸化膜及びその下のシリコン窒化膜を連続的にエッチングして第2のハードマスクをパターン形成する工程と、前記第2のハードマスクを用いて前記半導体基板をエッチングして素子分離用溝を形成する工程と、前記素子分離用溝に素子分離用絶縁膜を埋め込み形成する工程と、前記第2のハードマスクを除去して露出した前記半導体基板の素子形成領域にDRAMセルのMOSTランジスタを形成する工程とを有することを特徴とする。

【0012】この発明において好ましくは、前記第2のシリコン酸化膜として、有機オキシシランを原料とする減圧CVD法によるシリコン酸化膜、減圧CVD法によるボロンドープのシリコン酸化膜の少なくとも一方が用いられ、その場合に前記エッチングガスは、 CHF_3 、 CF_4 及びArガスを含む混合ガスが用いられる。

【0013】この発明によると、シリコン窒化膜による段差がある状態でシリコン窒化膜の開口部にトレンチキャパシタ等が形成され、その後更に基板加工処理を行う場合のリソグラフィ工程は、段差のある基板表面をシリコン酸化膜により平坦化してフォトレジストを均一厚みをもって塗布して行われる。従って薄膜フォトレジストによるリソグラフィのマージン拡大が可能である。また得られたフォトレジストパターンを用いて平坦化に用いたシリコン酸化膜と下地のシリコン窒化膜の積層膜を、CF系ガスとArガスを含むエッチングガスを用いた異方性ドライエッチングによりエッチングし、これにより形成されたハードマスクを用いて素子分離溝形成等の次の基板加工処理を行う。これにより、微細寸法の素子形成領域を持つDRAM等の製造が可能になる。

【0014】

【発明の実施の形態】以下、図面を参照して、この発明を深いトレンチを用いたトレンチキャパシタ構造のDRAMに適用した実施例を説明する。図1は、キャパシタ用溝の形成工程の断面図である。シリコン基板10はこの例ではp型層11、n型層12及びp型層13からなる。このシリコン基板10に、6nm程度の熱酸化膜21を形成し、この上に減圧CVD法又はスパッタ法により0.22 μ m程度のシリコン窒化膜22、更にCVD法により0.7 μ m程度のシリコン酸化膜23を順次積層形成する。この積層膜上にフォトリソist（図示せず）を塗布してリソグラフィ工程を行う。形成されたレジストパターンを用いてシリコン酸化膜23、シリコン窒化膜22及び熱酸化膜21を順次エッチング除去する。これにより、シリコン窒化膜22とシリコン酸化膜23の積層膜による第1のハードマスクが得られる。このハードマスクのパターニング後、フォトリソistは除去し、得られたハードマスクを用いて、RIE法によりシリコン基板10をエッチングして、図示のようなキャパシタ用溝31を加工する。溝31は例えば、7 μ m程度の深いものとする。

【0015】次に、図2に示すように、まず砒素ドーパポリシリコンをCVDとドライエッチングにより溝31に所定深さに埋め込み、これを固相拡散源として用いて、溝31に沿ってプレート電極となるn型層33を形成する。一旦砒素ドーパポリシリコンを除去して、溝31の側壁にキャパシタ絶縁膜32を形成する。キャパシタ絶縁膜32は例えば、減圧CVD法によるシリコン窒化膜とその表面に形成した酸化膜とからなるシリコン窒化酸化膜（NO膜）である。そして再度砒素ドーパポリシリコンを減圧CVDとドライエッチングにより溝31に所定深さに埋め込んで、その上部のキャパシタ絶縁膜を除去し、そのあとにカラーとなるシリコン酸化膜35を、CVDとドライエッチングにより形成する。更に砒素ドーパポリシリコンをCVDとドライエッチングにより溝31に基板表面から約0.12 μ mの深さに埋め込み、その上に露出しているシリコン酸化膜35をHF系のウェットエッチングにより約0.18 μ mの深さまで除去する。このシリコン酸化膜35が除去された部分には、将来溝31内のポリシリコン34からの固相拡散により、MOSトランジスタの拡散層とキャパシタを接続するための埋め込みストラップが形成される部分となるので、その深さの制御は重要である。そしてこの後、溝31内には、高抵抗ポリシリコンを、CVDとドライエッチングにより基板表面から0.4 μ mの深さに埋め込む。これは、後述するように素子分離絶縁膜を埋め込んでその上に通過ワード線を配設したときに、通過ワード線とキャパシタノードの短絡を確実に防止するためである。

【0016】この様にして、図2に示すように、キャパ

シタノード34が埋め込み形成され、トレンチキャパシタ20が得られる。以上のトレンチキャパシタ20の形成工程の間、シリコン窒化膜22はキャパシタ領域外の基板面を覆い、ポリシリコンその他の溝31への複数回の埋め込み工程でのエッチングストップとしての働きをする。以上のトレンチキャパシタ20の形成後、図2に示すようにシリコン窒化膜22を残した状態で、次の素子分離用溝を加工するためのリソグラフィ工程に入る。

【0017】なお、図2の段階で基板平面図は、図11のようになっている。破線で囲まれた領域が素子形成領域30（活性領域）として使用されるが、この段階では未だ素子分離されていない。斜線を施して示したシリコン窒化膜22の素子形成領域30の端部に位置する開口部にトレンチキャパシタ20が形成されている。図2は、図11のA-A'位置の断面を示している。

【0018】前述のように、トレンチキャパシタ20が形成された部分には、ほぼシリコン窒化膜22の膜厚で決まる0.2 μ m程度の段差があるから、リソグラフィ工程に入る前に、図3に示すように、シリコン酸化膜24を堆積して表面を平坦化する。シリコン酸化膜24は例えば、有機オキシシランを原料とする減圧CVD法によるシリコン酸化膜（以下、TEOS膜という）又は、減圧CVD法によるボロドーパのシリコン酸化膜（以下、BSG膜という）であり、膜厚は約0.3 μ mとする。

【0019】こうして平坦化された基板の上に、図3に示すように、有機絶縁膜からなる反射防止膜25を形成し、その上にフォトリソist26を0.6 μ m塗布する。そしてこのフォトリソist26を露光現像して、図4に示すように素子形成領域を覆うレジストパターンを形成する。薄膜フォトリソist26は基板上で均一厚みを有するから、このリソグラフィは高解像度で行われる。図12は、この段階での平面図を示しており、図4は図12のA-A'位置の断面に対応する。

【0020】そして、パターン形成されたフォトリソist26をマスクとして、少なくともCF系ガスとArガスを含む混合ガスを用いた異方性ドライエッチングであるRIE法により、図5に示すように、素子分離領域の反射防止膜25、シリコン酸化膜24及びシリコン窒化膜22を順次エッチング除去する。具体的に、シリコン酸化膜24がTEOS膜の場合は、 $\text{CHF}_3/\text{CF}_4/\text{Ar}/\text{O}_2$ 混合ガスをエッチングガスとして用い、シリコン酸化膜24がBSG膜の場合は、 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ 混合ガスをエッチングガスとして用いる。

【0021】好ましいエッチングガスの条件は、シリコン酸化膜24がTEOS膜の場合は、 $\text{CHF}_3/\text{CF}_4/\text{Ar}/\text{O}_2=56/14/70/5$ [SCCM]であり、シリコン酸化膜24がBSG膜の場合は、 $\text{CHF}_3/\text{CF}_4/\text{Ar}=56/14/70$ [SCCM]である。この条件を用いることにより、フォトリソist26

が $0.6\mu\text{m}$ という薄膜であっても、シリコン窒化膜22とシリコン酸化膜24の積層膜を同時にエッチングすることができる。

【0022】上述のエッチングガスを用いたシリコン酸化膜24及びシリコン窒化膜22のエッチング工程では、エッチングの進行と同時に、Si-C結合を含むある種のポリマーが生成されてフォトレジスト26の表面や側面、更にエッチングされたシリコン酸化膜24やシリコン窒化膜22の側面に堆積するという反応が生じ、これがフォトレジスト26自身のエッチングの進行を抑える働きをしている。このことが、薄膜フォトレジストでの厚いシリコン酸化膜24とシリコン窒化膜22の積層膜のエッチングを可能としている。特に、フォトレジスト26やエッチングされたシリコン酸化膜24の側面に付着するポリマーは、横方向エッチングによる側面の後退を抑えることになり、これにより、高精度のパターン転写が可能となっている。

【0023】以上のエッチング工程で残ったフォトレジスト26はその後剥離する。続いて、パターンニングされたシリコン酸化膜24とシリコン窒化膜22からなる第2のハードマスクを用いて、 NF_3/Ar 混合ガスをエッチングガスとして用いたRIE法によりシリコン基板10をエッチングし、図6に示すように約 $0.35\mu\text{m}$ の深さの素子分離用溝27を形成する。なおこの実施例では、シリコン基板エッチング前にフォトレジスト26を剥離したが、これを剥離することなく基板エッチングを行ってもよい。この基板エッチング工程でシリコン窒化膜22上に残るシリコン酸化膜24は、 $0.2\mu\text{m}$ 程度である。この残されたシリコン酸化膜24は、HF系のウェットエッチングにより除去する。

【0024】このHF系のウェットエッチング工程では、紙面に垂直な方向の側面に露出するシリコン窒化膜22の下地の熱酸化膜21の横方向エッチングが生じ、この横方向エッチングが大きいと、後に形成される素子の特性劣化の原因となる。この対策のためには、シリコン酸化膜24としてBSG膜を用いることが好ましい。BSG膜は、熱酸化膜に対してウェットエッチングの選択比が大きく、横方向エッチングを抑えることができるからである。

【0025】そして、シリコン基板表面に熱酸化膜を形成した後、減圧CVD法によりシリコン酸化膜を堆積し、シリコン窒化膜22をエッチングストップとしてCMP処理を行って平坦化して、図7に示すように、シリコン窒化膜22とほぼ同じ面位置になるように素子分離絶縁膜であるSTI (Shallow Trench Isolation) 膜28を埋め込み形成する。この状態で、イオン注入により各素子領域のウェル形成を行う(図示しない)。

【0026】この後、シリコン窒化膜22をリン酸によりエッチング除去して素子形成領域の基板面を露出させ、MOSTランジスタ形成工程に入る。なお図7の状

態からシリコン窒化膜22をエッチング除去すると、素子分離領域のSTI膜28が凸状になるが、この凸を小さくするために、予めSTI膜28の表面をリセスしておくことが好ましい。図8以降の図面は、ここまでの図面に比べて縮小して示している。まず図8に示すように、ゲート酸化膜41を形成した後、ポリシリコン膜42a及びWSi膜42bの積層膜によるゲート電極42をシリコン窒化膜43をマスクとしてパターン形成し、シリコン窒化膜による側壁絶縁膜44を形成した後、イオン注入によりソース、ドレインのn+型拡散層46、47を形成する。一方の拡散層47は、キャパシタノード34からの横方向拡散により形成される拡散層48を介して、キャパシタノード34に接続される。

【0027】なおゲート電極42は、複数の素子領域にまたがって紙面に垂直方向に連続的に配設されてワード線となる。その平面図を図13に示す。図8は、図13のA-A'位置の断面に対応する。

【0028】その後、図9に示すように、層間絶縁膜51を形成し、これにビット線コンタクト孔を加工し、このコンタクト孔にポリシリコン52を表面が平坦になるように埋め込んだ後、W膜によるビット線53を形成する。

【0029】その後更に、図10に示すように、層間絶縁膜54を堆積し、この上にワード線を裏打ちする第1層A1配線55を形成し、更に層間絶縁膜56を堆積して第2層A1配線57を形成し、最後にバンプレーション膜58を形成して、DRAMが完成する。

【0030】以上のようにこの実施例では、トレンチキャパシタ形成後のシリコン窒化膜22による段差がある状態で、次の素子分離溝加工のための薄膜フォトレジストによるリソグラフィを行うために、図3で説明したようにシリコン酸化膜24により基板を平坦化している。これにより、薄膜フォトレジスト26を基板面上で均一厚みとすることができ、高解像度のリソグラフィが可能となる。またパターンニングされたフォトレジスト26を用いたシリコン酸化膜24とシリコン窒化膜22のエッチング工程には、 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ を含むエッチングガスを用いたRIEを用いており、このエッチングガス条件を最適設定することにより、フォトレジスト26が $0.6\mu\text{m}$ という薄いものであっても、素子分離溝加工のためのシリコン酸化膜/シリコン窒化膜の積層膜によるハードマスクを高精度にパターン加工することができる。そして、このハードマスクを用いて素子分離用の基板エッチングを行うことにより、基板エッチングの選択比を十分大きくとることができ、高精度の基板加工ができる。

【0031】以上により、サブミクロン或いはサブクォーターミクロンのデザインルールでトレンチキャパシタ構造のDRAMを高精度に作る事が可能になる。この発明は、DRAMの製造に限られるものではなく、類似

の基板加工工程を必要とする他の半導体装置の製造に同様に適用することが可能である。

【0032】

【発明の効果】以上述べたようにこの発明によれば、リソグラフィ工程をシリコン酸化膜で平坦化した基板面で行うようにすると共に、フォトリソパターンによるシリコン酸化膜/シリコン窒化膜の積層膜エッチングを所定のガス条件の異方性ドライエッチングで行ってその後の基板加工処理のハードマスクを形成することにより、その後の基板加工処理を高精度に行うことが可能になる。特にこの発明をトレンチキャパシタ構造のDRAMの製造に適用すれば、微細なデザインルールでのDRAM製造が可能になる。

【図面の簡単な説明】

【図1】この発明の一実施例によるDRAMのキャパシタ用溝形成工程の断面図である。

【図2】同実施例のキャパシタノード埋め込み工程の断面図である。

【図3】同実施例において基板を平坦化してフォトリソを塗布した状態の断面図である。

【図4】同実施例においてフォトリソをパターン形成した状態の断面図である。

【図5】同実施例においてレジストパターンを用いてシリコン酸化膜/シリコン窒化膜をエッチングした状態の断面図である。

【図6】同実施例において、シリコン酸化膜/シリコン

窒化膜のハードマスクを用いて素子分離用溝を形成した状態の断面図である。

【図7】同実施例において、素子分離絶縁膜を埋め込んだ状態の断面図である。

【図8】同実施例において、MOSトランジスタを形成した状態の断面図である。

【図9】同実施例において、ビット線を形成した状態の断面図である。

【図10】同実施例におけるDRAM完成後の断面図である。

【図11】図2の工程に対応する基板平面図である。

【図12】図4の工程に対応する基板平面図である。

【図13】図8の工程に対応する基板平面図である。

【図14】従来のDRAM製造工程におけるキャパシタノード埋め込み工程の断面図である。

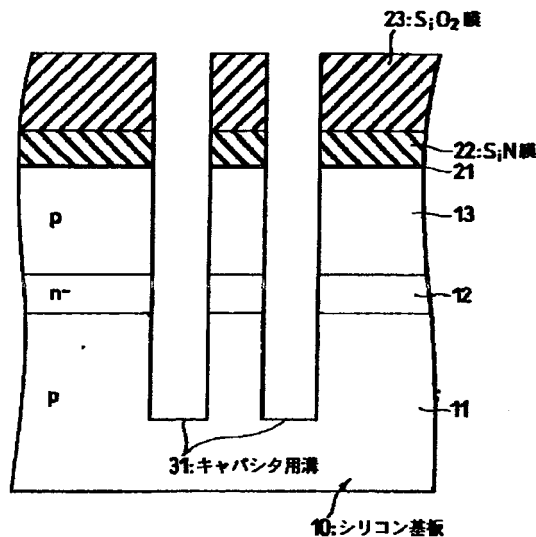
【図15】従来のDRAM製造工程における素子分離溝加工のためのリソグラフィ工程を示す断面図である。

【図16】従来のDRAM製造工程における素子分離溝加工のためのリソグラフィ工程を示す断面図である。

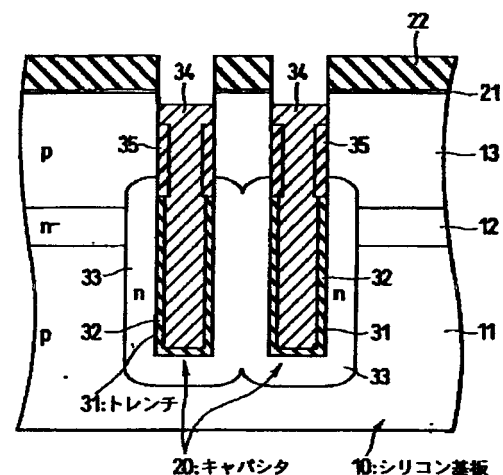
【符号の説明】

10…シリコン基板、22…シリコン窒化膜、23…シリコン酸化膜、31…キャパシタ用溝、32…キャパシタ絶縁膜、33…n型層、34…キャパシタノード、20…トレンチキャパシタ、26…フォトリソ、27…素子分離用溝、28…STI膜、40…MOSトランジスタ。

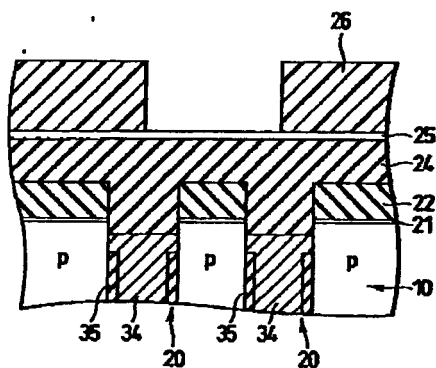
【図1】



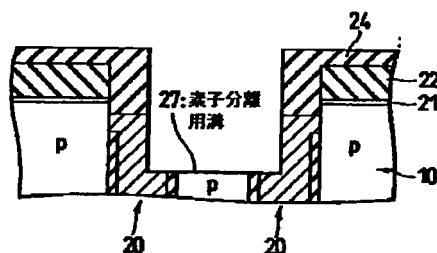
【図2】



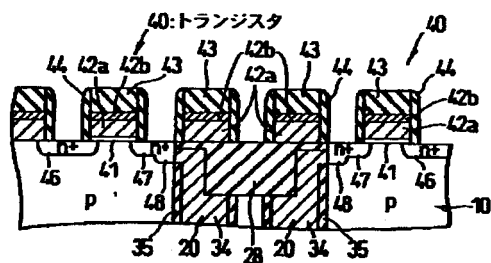
【図4】



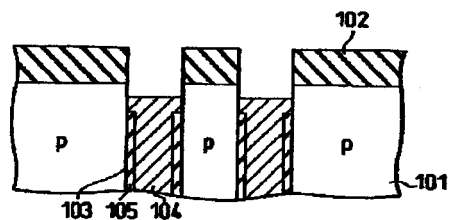
【図6】



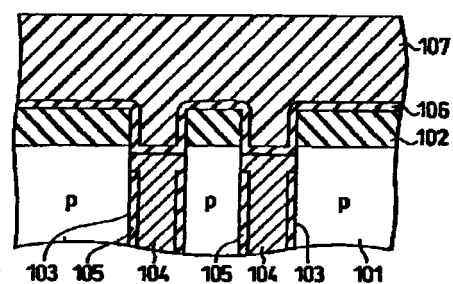
【図8】



【图14】

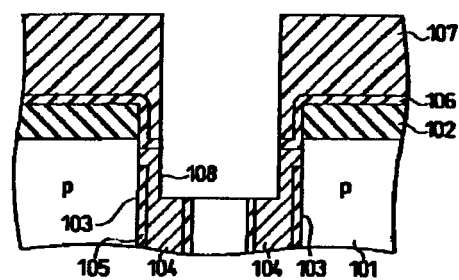


【図10】

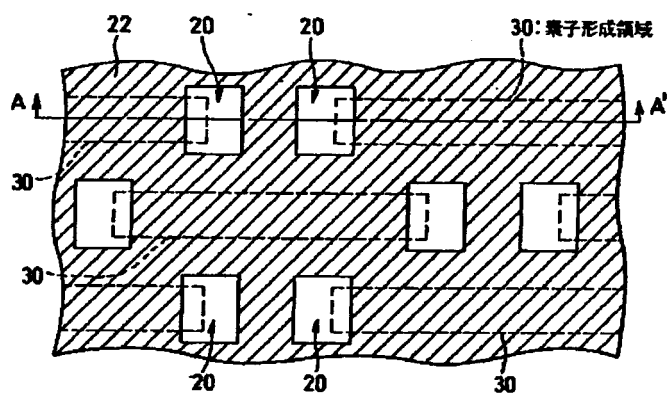


【例15】

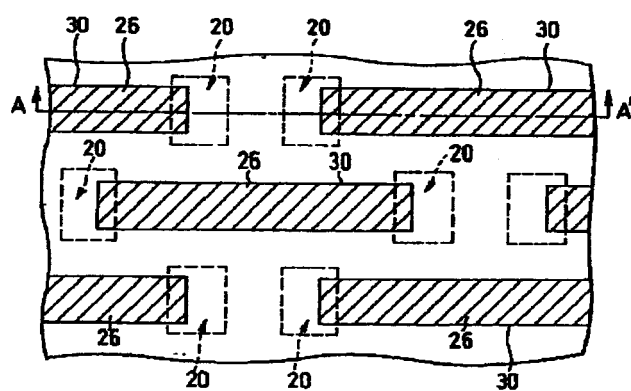
【図16】



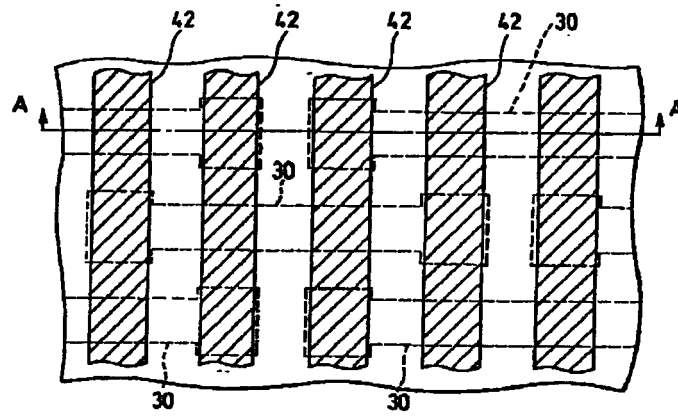
【图 1 1】



【图12】



【図13】



フロントページの続き

(72)発明者 早坂 伸夫
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内